

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-257193

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

H01L 21/306

H01L 21/205

H01L 33/00

H01S 5/02

(21)Application number : 2001-008539

(71)Applicant : XEROX CORP

(22)Date of filing : 17.01.2001

(72)Inventor : LINDA T ROMANO
BRENT S CRUSOR
CHUA CHRISTOPHER L
NOBLE M JOHNSON
ROSE M WOOD
WALKER JACK

(30)Priority

Priority number : 2000 490286

Priority date : 18.01.2000

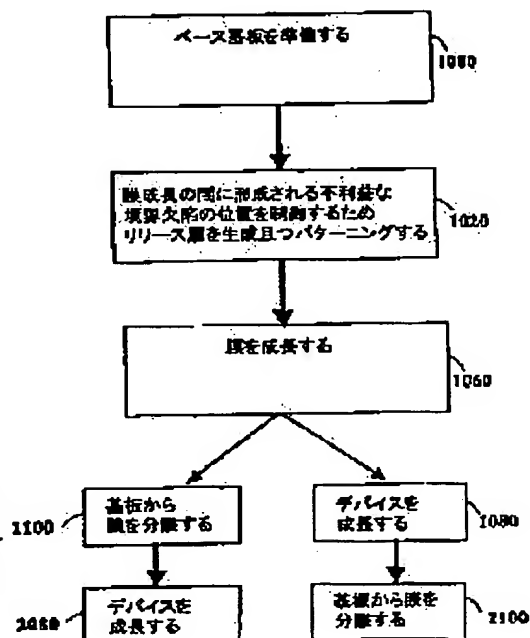
Priority country : US

(54) METHOD OF SEPARATING FILM WITH WIDE AREA AND LOW DEFECT DENSITY FOR GROWING LED AND LASER DIODE, AND A METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To separate a low defect density film from a base substrate after growing the low defect density film on the base substrate.

SOLUTION: A release layer for controlling the position of a boundary defect formed during film growing is formed and patterned on the base substrate (step 1020), and the low defect density film is grown on the release layer (step 1060). After that, the release layer is etched to separate the low defect density film from the base substrate (step 1100), and then a device is grown on the low defect density film (step 1080). By doing this, after the low defect density film is grown preferably on the base substrate, the low defect density film is separated from the base substrate and the device can be formed on the low defective density film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-257193

(P2001-257193A)

(43) 公開日 平成13年9月21日 (2001.9.21)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード* (参考) |
|---------------------------|------|----------------|-------------|
| H 0 1 L 21/306 | | H 0 1 L 21/205 | |
| 21/205 | | 33/00 | C |
| 33/00 | | H 0 1 S 5/02 | |
| H 0 1 S 5/02 | | H 0 1 L 21/306 | A |

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願2001-8539(P2001-8539)

(22) 出願日 平成13年1月17日 (2001.1.17)

(31) 優先権主張番号 09/490286

(32) 優先日 平成12年1月18日 (2000.1.18)

(33) 優先権主張国 米国 (US)

(71) 出願人 590000798

ゼロックス コーポレーション

XEROX CORPORATION

アメリカ合衆国 コネティカット州・スタ

ンフォード・ロング リッチ ロード・

800

(72) 発明者 リンダ ティ ロマノ

アメリカ合衆国 カリフォルニア州 サニ

ーベール ウェストチェスター ドライブ

1055

(74) 代理人 100075258

弁理士 吉田 研二 (外2名)

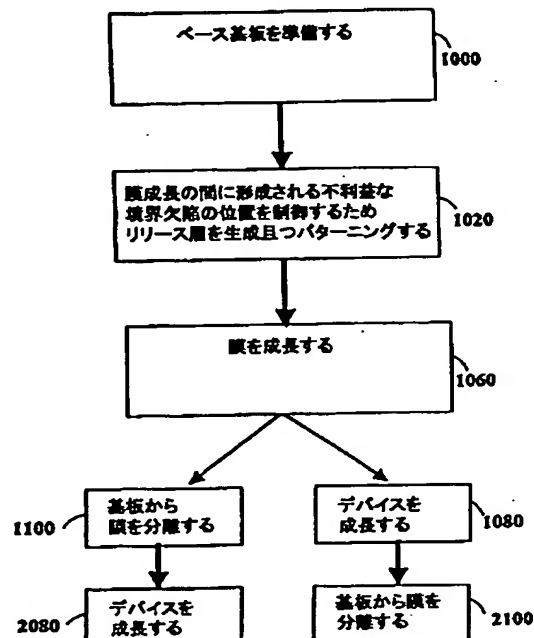
最終頁に続く

(54) 【発明の名称】 LED及びレーザダイオードの成長のため大面積で低欠陥密度の膜を分離する方法及び半導体デバイスの製造方法

(57) 【要約】

【課題】 ベース基板に低欠陥密度膜を形成した後低欠陥密度膜をベース基板から分離させること。

【解決手段】 膜成長の間に形成される境界欠陥の位置を制御するためのリリース層をベース基板に生成且つパターンニングし (ステップ1020)、リリース層上に低欠陥密度膜を成長させる (ステップ1060)。その後、リリース層をエッチングすることで低欠陥密度膜をベース基板から分離して (ステップ1100)、低欠陥密度膜上にデバイス进行成長させる (ステップ1080)。こうすることで、ベース基板に好適に低欠陥密度膜を形成した後、低欠陥密度膜をベース基板から分離させ低欠陥密度膜上にデバイス进行形成することができる。



【特許請求の範囲】

【請求項1】 ベース基板から膜を分離する膜分離方法であって、

前記ベース基板の上にリリース層材料を堆積してリリース層を形成するステップと、

前記リリース層の上に膜を成長するステップと、

前記リリース層をエッチャントでエッチングして、前記膜を前記ベース基板から分離するステップと、を含む膜分離方法。

【請求項2】 前記ベース基板の上に核形成層を成長させるステップをさらに含む請求項1に記載の膜分離方法。

【請求項3】 ベース基板の上に核形成層を成長するステップと、

前記核形成層の上にリリース層を堆積するステップと、

前記リリース層を操作して、(i)膜に対する種結晶として使用するために核形成層へのアクセス点を提供し、且つ、(ii)前記膜の少なくとも一つの領域内への前記核形成層の欠陥の伝搬をブロックするステップと、

前記膜を成長させて、前記膜に、半導体デバイスを成長させるための基板として使用するためのサイズを有する低欠陥密度領域を生成するステップと、

前記膜の前記低欠陥密度領域の上に前記半導体デバイスを成長するステップと、

前記ベース基板及び前記核形成層を除去するステップと、

コンタクトメタライゼーションを行うステップと、

前記デバイスをへき開するステップと、を含む半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、エピタキシャル成長された半導体の技術に関する。本発明は、III族（長期周期表の13族、以下同様）窒化物レーザダイオード及び発光ダイオード（LED）の成長に特に適用でき、特にそれらに関して説明される。しかし、本発明がまた、他の半導体デバイス及び集積回路にも適用可能（amenable）であることに留意されたい。

【0002】

【従来の技術】コンパクトディスク・リードオンリーメモリ（CD-ROM）又はデジタルビデオディスク（DVD）のような光学的データ記憶デバイスのデータ記憶容量は、記憶デバイスへのデータ書き込み／記憶デバイスからのデータ読み出しのために使用される光の波長によって制限される。より短い波長の光が使用されると、より多くのデータが記憶デバイスに記憶され得る。これは、より密な様式でデータを「詰め込む（バックする）」ことができるからである。最近まで、光学的データ記憶デバイスへのデータ書き込み／光学的データ記憶デバイスからのデータ読み出しのための光源は、比較的

長い波長を有する光（すなわち、光スペクトルにおける赤又は赤外領域の光）を生成していた。新規のレーザダイオード及び発光ダイオード（LED）は、光学的データ記憶デバイスで使用されるために開発されてきている。これらの新規なレーザダイオード及びLEDは、比較的短い波長を有する光（すなわち、スペクトルにおける青、紫、及び紫外領域の光）を生成する。これらの新規な光源は、高解像度フルカラー印刷、アドバンスト表示システム、光通信、エレクトロニクスデバイス、及び高密度光記憶のような多くの領域において、大きなポテンシャルを有している。

【0003】これらの新規な光源内における有望なグループの一つが、III族窒化物（例えばアルミニウム・ガリウム・インジウム窒化物（AlGaInN））の結晶に基づくものである。しかし、そのようなIII族窒化物デバイスの開発における進歩は、成長の下地になるベース基板から膜を分離する際の困難さ、及びデバイスを成長するための下地になる欠陥の無い（欠陥フリー；defect free）結晶を生成する際の困難さによって、妨げられている。

【0004】完全な結晶は、規則的に反復している原子配列から構成される物体の形態である。結晶において原子の内部配列が規則的に反復しているという性質は、しばしば肉眼でも明らかである。水晶の結晶又は砂糖の結晶のような結晶の平坦（プレーナ）面又はファセットは、その原子の規則的反復配列の結果である。欠陥、すなわちそのような規則的原子パターンにおける不規則性も、同様にしばしば目に見える（例えば、2つの結晶が相互から成長している場合）。

【0005】半導体デバイスの特性は、それらの下地の要素結晶の特性に基づいている。半導体デバイスを形成している結晶における欠陥又は不規則性は、少なくともある場合には、耐熱性の劣化又は動作寿命の短縮のような性能特性の劣化をもたらす。レーザダイオード及びLEDは、それらの要素結晶における欠陥による悪影響を受けるデバイスの例である。

【0006】この新規なIII族窒化物デバイスを形成するために使用される好適な方法は、「エピタキシャル成長」とよばれる。エピタキシーとは、結晶性基板上における、基板内の原子の配向を模倣する結晶性物質の成長である。最近までに知られているIII族窒化物光源の成長のための最も一般的な基板は、サファイアである。

【0007】しかし、サファイア上へのIII族窒化物の直接的な成長は、欠陥密度が非常に大きい（例えば約 $10^{10}/\text{cm}^2$ ）材料をもたらす結果となることが見出されている。バルクのガリウム窒化物（GaN）は、II族窒化物半導体を成長させるためには、サファイアよりもよい基板である。しかし、バルクのGaNを成長させる方法には問題が多い。ある方法は高压での処理を必要とし、成功していない。他の方法は、エピタキシャル

横方向過成長(ELONG)技術を使用してGa_{0.9}N膜を成長させるが、典型的には、そうでなければ望ましい低欠陥密度Ga_{0.9}N膜となるもののほば中心に、境界(suture)欠陥を生成する結果となる。さらに、これらのデバイスを、成長の下地となっているベース基板から分離することは困難である。

【0008】標準的なELONG技術における境界欠陥の不利な効果が、図1に描かれている。Ga_{0.9}N核形成(nucleation)層12は、ベースサファイア基板10を覆う。SiO₂マスクは、核成長及び縦方向Ga_{0.9}N結晶成長を可能にする窓16を有している。SiO₂マスクに窓16を生成するプロセスは、SiO₂のメサ20も生成する。メサ20は、Ga_{0.9}Nの核成長を妨げる。Ga_{0.9}N膜の成長の間に、高欠陥密度Ga_{0.9}N22が窓16に縦方向に成長する。窓16に成長するGa_{0.9}N22は、下地の核形成層12の欠陥パターンを引き継ぐので、高欠陥密度を有している。Ga_{0.9}N核形成層12は、ベースサファイア基板10との化学的不整合及び格子不整合のために、高欠陥密度を有している。ベースサファイア基板10は、利用可能なものの中ではベストであるものの、Ga_{0.9}Nに対する完全なエピタキシャル基板ではない。

【0009】高欠陥密度Ga_{0.9}N22の成長がメサ20の頂部に到達すると、メサ20から横方向への過成長が始まる。メサ20は、下地Ga_{0.9}N核形成層12の転位をブロックする。したがって、メサ20から過成長するGa_{0.9}Nは、縦方向欠陥が比較的小さく(欠陥フリーであって)、したがって、低欠陥密度Ga_{0.9}N膜24を構成している。

【0010】横方向結晶成長は、その後に引き続き縦方向結晶成長を伴う。適正な最終膜厚を得るためには、SiO₂マスクにおける一連の窓を使用する必要がある。隣接する窓から始まった結晶の横方向成長フロントが合体すると、転位、又は結晶を形成している原子パターンにおける不規則性が生成されて、不利な境界欠陥26が形成される。

【0011】

【発明が解決しようとする課題】これらの不利な境界欠陥26は、使用可能な低欠陥密度領域を効果的に半分にカットする。生成される低欠陥領域を使用するために、それから極精密リソグラフィ技術が必要とされる。さらに、サファイア基板からIII族窒化物デバイスを分離する一つの方法は、レーザアブレーションによるものである。レーザアブレーションによる分離は、レーザ均一化器(ホモジェナイザ; homogenizer)と、基板の周囲にビームを移動させるステップとを必要とする。極精密リソグラフィ技術及びレーザアブレーション技術は、低速で且つ高価である。半導体デバイスのエピタキシャル成長のために、III族窒化物材料にほぼ格子整合するバルク基板を提供するために、よりよい技術が必要とされている。さらに、新規に成長されたIII族窒化物膜を

ベース基板から分離するために、より単純で且つより安価な方法もまた必要とされている。

【0012】

【課題を解決するための手段】本発明のある局面は、ベース基板から膜を分離する方法である。この方法は、ベース基板の上にリリース層材料を堆積してリリース層を形成するステップと、リリース層の上に膜を成長するステップと、リリース層をエッチャントでエッチングして膜をベース基板から分離するステップと、を含んでいる。

【0013】本発明の他の局面は、半導体デバイスの製造方法である。この方法は、ベース基板の上に核形成層を成長するステップと、核形成層の上にリリース層を堆積するステップと、リリース層を操作して、膜に対する種結晶として使用するために核形成層へのアクセス点を提供し、且つ、膜の少なくとも一つの領域内への核形成層の欠陥の伝搬をブロックするステップと、膜を成長させて、その膜内に、半導体デバイスを成長させるための基板として使用するために十分に大きな少なくとも一つの低欠陥密度領域を生成するステップと、膜の低欠陥密度領域の上に少なくとも一つの半導体デバイスを成長するステップと、基板及び核形成層をウエハの残りから分離するステップと、適切なコンタクトメタライゼーションを行うステップと、デバイスをへき開するステップと、を含んでいる。もちろん、これらのステップは、上記で述べた順に実施される必要はない。

【0014】本発明のさらに他の局面は、分離前又は分離後のいずれかに、分離可能な膜の上に成長されるデバイスである。

【0015】本発明のより狭い局面は、分離前又は分離後のいずれかに、分離可能な膜の上に成長されるレーザダイオードである。

【0016】本発明のより狭い局面は、分離前又は分離後のいずれかに、分離可能な膜の上に成長される発光ダイオードである。

【0017】本発明のさらに他の局面は、エッチング化学物質(chemicals)をリリース層に到達させるためのアクセス点を提供するビアの付加である。

【0018】

【発明の実施の形態】本発明のある局面は、膜とベース基板との間からリリース層をエッチングすることによって、膜をベース基板から分離する方法である。ここでは、その方法を概観する。本発明は、この導入部に引き続き様々な局面の詳細な説明を読み進むにつれて、明らかになるであろう。

【0019】膜の分離は、レーザダイオード及び発光ダイオード(LED)のようなデバイスが膜の上に成長される前または成長された後に、生じることができる。例えば、膜が薄くて自己サポートしないときのようなある場合には、膜をベース基板から分離する前に、膜の上に

頂部支持基板を設けることが望ましいこともある。

【0020】エッチャントのリリース層へのアクセスを増すために、ビアを設けることができる。ビアを設ける一つの技術では、膜内にビアを、リリース層までエッチングで掘り下げる。他の技術では、ベース基板と、膜の成長の前又は後のいずれかに存在し得る任意の核形成層とに、ビアを設ける。もちろん、特別な動作を全く必要とせず、エッチングを単純にウエハの端から生じさせることができる場合もある。

【0021】頂部支持基板が使用されるときには、膜内のビアを覆う位置の頂部支持基板に、貫通孔を設ける（perforateする）べきである。膜がビアを含まないときには、支持基板にビアを設ける必要はなく、代わりに、支持基板は連続であることができる。

【0022】本発明の先に述べた局面は、選択的にエッチング可能な連続リリース層の上に成長される膜に対して実行される処理である。選択的にエッチング可能なリリース層材料をベース基板又はベース基板／核形成層の組み合わせの上に堆積することで、選択的にエッチング可能なリリース層を提供することができる。

【0023】膜を成長させる一つの方法は、大きなメサの使用を含んでいる。この方法では、膜成長は、膜の各部分がぶつかって合体する前に停止されることができる。この技術は、境界欠陥の形成を防ぐ。膜部分の間に残されたギャップは、リリース層までのビアとして使用されることができる。したがって、膜成長のためのこの方法は、ビアを設ける付加的な方法を含んでいる。

【0024】膜を成長する他の方法は、リリース層材料のメサの上にリップを生成して、境界欠陥をメサの片側に位置させる工程を含んでいる。

【0025】従来の方法又は他の方法もまた、選択的にエッチング可能な連続リリース層の上に膜を成長するために使用することができる。

【0026】本発明のこれら及び他の局面は、本発明の様々な局面に関する以下の詳細な説明を読み進むにつれて、明らかになるであろう。

【0027】図2及び図11を参照すると、ウエハ110が、ステップ1000にてベースサファイア基板114の上に核形成層112を成長させ、且つステップ1020にて核形成層112の上にSiO₂リリース層116を堆積させることによって、形成される。この結果として、サファイア／核形成層の界面118が形成される。ベースサファイア基板114の原子構造と核形成層112の原子構造との間には、典型的には不整合が存在する。したがって、サファイア／核形成層の界面118で転位が発生して、これが核形成層112を通してずっと連続する。SiO₂リリース層116が示されているが、ウエハの残りの部分に対して不利益な効果をもたらすことなくリリース層をエッチングするエッチャントが利用可能である限りは、他の材料も選択することができ

る。選択的にエッチングされることができる他の材料の例には、窒化シリコン、SiON、及び多くの金属が含まれる。核形成層の構成材料の例にはGaNが含まれるが、核形成層は、例えばAlGaN、InN、AlNのようなIII族窒化物材料、又はIII族窒化物の過成長を可能にする他の層を含むこともできる。さらに、ベース基板としては、対象となっている膜の成長を可能にする化学的及び構造的な特性を有している限り、任意の材料を使用することができる。III族窒化物膜を成長させるベース基板として使用可能な他の材料の例は、SiCである。

【0028】図2（b）は、SiO₂リリース層（図2（a）における116）がステップ1020にてリングラフ的にパターンニングされて窓122が開口された後のウエハを示している。メサ124は、パターンニングステップ1020の後に残存しているSiO₂層の部分を表している。メサ124の各々の幅は、窓122の各々の幅に対して広い。所望の充填率（フィル・ファクタ；fill factor）は、平滑な膜表面をもたらす成長パラメータに依存していることが見出されている。典型的な寸法は、窓に対してが3〜5μmであり、メサに対しては8〜15μmである。

【0029】図2（c）は、ステップ1020にてIII族窒化物（例えばGaN）膜126がウエハ上に成長された後の、図2（b）にて破線によって囲まれたウエハの部分を描いている。GaN膜126は、メサ124の上方に縦方向及び横方向に成長される。縦方向に成長したGaN膜128は高欠陥密度を有し、横方向に成長したGaN膜130は低欠陥密度を有している。低欠陥密度GaN膜130の横方向成長速度は、縦方向成長速度の少なくとも2倍である。したがって、各メサの大きなエリアカバレッジが、非常に厚い膜を成長させることなく達成される。図2（c）に示されているように、GaN膜130の成長は、2つの横方向成長フロント132がぶつかる前に終端させることができ、これによって、比較的大面積の低欠陥密度材料130とリリース材料に達するビア134とをメサ124に形成することができる。この時点で、ウエハを、例えば図4〜図6に関連して以下に説明するものと同様の方法で、さらに処理することもできる。

【0030】本発明にしたがった第2の方法によって形成されるウエハ140が、図3（a）及び図3（b）に示されている。ステップ1000は、前述したものと同様であり、したがって再び説明しない。図3（a）を参照すると、標準的なELOGプロセスにおいて、窓144の幅に対するメサ142の幅の比率を維持することができる。しかし、ステップ1020において、SiO₂リリース層が2段階でパターンニングされる。第1段階では、標準的な窓144（図2（b）及び図2（c）における窓122と同様である）が、下地の核形成層145

に開口される。第2段階では、メサ142の各々の一方の端における小さな領域がマスクされる一方で、各メサ142の残りの部分がそれぞれの元の厚さの約半分までエッチングされ、それによって、メサ142の各々の一方の端に各リップ146が生成される。

【0031】図3(b)は、SiO₂層がメサ142にエッチングされ且つ高欠陥密度GaNが窓144に成長された後のウエハを描いている。メサはリップ146を有している。低欠陥密度GaN膜148が、ステップ1020にてメサ142の上に成長されている。この方法が使用されるときには、メサ142のリップ146のない各々の側部142aにて、横方向過成長が直ぐに始まる。リップ146は、リップ146に隣接する窓144の部分におけるGaNが、メサ142を超えて横方向に成長することを妨げる。その代わりに、GaNは、リップ146の頂部に到達するまで縦方向に成長させられる。適切に選ばれた寸法に対して、縦方向に成長しているGaNがリップ146の頂部に到達するタイミングは、各々のメサの反対側142aから横方向に成長している低欠陥密度GaN膜148が各々のリップ146の対応する点に到達するタイミングに、実質的に一致する。このようにして、境界欠陥150が、メサ142の中央(図1における不利益な境界欠陥26を参照のこと)からメサ142の一方の端に効果的に移動して、これによって、デバイス成長のために利用可能な低欠陥密度GaN膜の幅が2倍になる。

【0032】この時点で低欠陥密度膜の上にデバイスを直接に成長することも可能であるが、通常は、図4~図6に関して以下に説明されるように、膜成長プロセスを継続することが効果的である。この時点でデバイスが成長されるならば、境界欠陥150を、さらなるデバイスプロセスを助けるマーカーとして効果的に使用することができる。図3(c)を参照すると、ステップ1080において、デバイス160が、低欠陥密度GaN膜148の低欠陥密度横方向過成長の上に成長される。メタライゼーションプロセスによって、デバイス160の上及び低欠陥密度GaN膜148のフロント側の上にコンタクト164及び166が設けられる。

【0033】図3(c)に示されるようなデバイスが成長されないときには、膜成長プロセスを継続することができる。本発明の第3の方法にしたがって形成されるウエハが、図4、図5に示されている。この第3の方法は、これまでに説明した方法よりも、比較的大型の欠陥フリー領域を提供する。

【0034】図4(a)は、ステップ1020の間に低欠陥密度GaN膜212の上に形成されたホトレジスト210を含むウエハ200を示している。ウエハ200はその後にエッチングされて、核形成層218に至るまでの高欠陥密度GaN214がすべて除去される。

【0035】図4(b)は、ステップ1020に引き続

いて、高欠陥密度GaNがエッチングで除去された後のウエハを示している。低欠陥密度GaN膜212は、各々のSiO₂メサ216によって支持されている。SiO₂メサ216は、核形成層218及びベースサファイア基板219によって支持されている。核形成層218は、ウエハ上の他の全ての場所、すなわち窓220の中にて露出されている。

【0036】次に、図5(a)を参照すると、ウエハは、ステップ1020の間にSiO₂リリース層222によって覆われる。好ましくは、SiO₂層222の厚さは、元のSiO₂層(図4(b)の216を参照のこと)の厚さに実質的に等しい。この段階(ステップ1020)の目的は、リリース層を連続させるために窓220をSiO₂にて再び埋めて、さらなるGaN膜の成長及び分離のためにウエハの準備をすることである。

【0037】図5(a)に示されるように、SiO₂がウエハの窓220以外の部分に堆積されるならば、そのときには、ホトレジスト240がステップ1020の間に窓220内に形成される。ホトレジスト240は、ステップ1020の間に窓220に堆積されるSiO₂層222を保護する。新しく堆積されたSiO₂層222の残り部分は過剰である。この過剰なSiO₂層222は、エッチャント(例えばバッファドフッ化水素「HF」)によって除去される。このエッチャントは、リリース層を選択的にエッチングする能力、及びウエハの残り部分に対する良好な(benign)効果のために選ばれる。あるいは、CF₄/O₂プラズマ内におけるドライエッチングのような他のエッチング技術を、ステップ1020の間に使用することができる。いずれの場合にも、エッチング後に、ホトレジスト240は除去される。

【0038】図5(b)を参照すると、エッチング後であってホトレジストが除去された後に、低欠陥密度GaNのメサ又は部分212が、SiO₂リリース層244を形成するSiO₂の連続層の上に位置している。次に、ステップ1060の間に、GaN膜の成長が、GaNの厚膜を成長することができる成長技術(例えば、ハイドライド気相エビタキシー(HVPE))を使用して再開される。GaN膜の成長は、低欠陥密度GaNメサ又は部分212から再開される。したがって、新しい成長もまた、低欠陥密度である。成長は、隣接するGaNメサ212で始まった結晶がぶつかって合体するまで、横方向及び縦方向の両方に継続される。

【0039】図5(c)は、隣接するGaNメサ又は部分212で始まった結晶がぶつかって合体する時点までGaN膜250が成長した後のウエハを示している。境界欠陥254が存在しているが、これらの欠陥254は、比較的幅広い低欠陥密度GaN膜領域250の端に位置している。ボイド(図示されていない)が、境界欠陥254の下に位置し得る。ボイド(図示されてい

い)は、オリジナルの低欠陥密度Ga_{0.9}N_{0.1}メサ又は部分212の側部まで延びることができる。この時点で、オプションとして、一般的には半導体デバイス、特にIII族窒化物半導体デバイスが、低欠陥密度Ga_{0.9}N_{0.1}膜250の上にエピタキシャル成長され得る。しかし、好ましくは、この膜はベース基板から分離され、分離後にデバイスが成長される。ある場合には、後に述べるように、新しい支持基板が、基板除去前に膜250の頂部に効果的に取り付けられ得る。この支持基板は、膜の頂部に結合されることができる。支持基板はまた、例えば厚い膜の成長を可能にする電着(electrodeposition)又はその他の技術のような方法によって、成長されることもできる。支持基板の成長は、ここでは示されていない。いずれの場合にも、ウエハは、SiO₂リリース層244を溶解させるためにステップ1100又は2100の間にエッチャント(例えばHF)に浸されて、これによって、ウエハの上側部分を核形成層218及びベースサファイア基板219から分離させる。

【0040】図6(a)に示されているように、膜250が、支持基板なしのベース基板からデバイス成長前に分離される。

【0041】ベース基板からの膜の分離は、電氣的に裏面からコンタクトできるフリースタンディングデバイスを可能にする。裏面側の電気コンタクトの使用は、一様な電流分布を確実に実現すると共に、横方向の広がり(スプレディング; spreading)抵抗を除去することによってデバイス抵抗を低減する。裏面側コンタクトの使用は、フロント側コンタクトのアーキテクチャを単純化する。したがって、このようにして製造されたデバイスはより効率的であり、デバイス内での熱の量を低減させる。さらに、デバイスをベースサファイア基板219から分離することで、熱伝導率が改善される。フリースタンディングデバイスの例が、図6(b)に示されている。ステップ2080の間に、ウエハの各々の低欠陥密度Ga_{0.9}N_{0.1}膜領域250の上に、III族窒化物半導体280が成長される。図示されているデバイス280は、MQW活性領域282を有する多重量子井戸レーザダイオードである。しかし、発光ダイオードを含む他のデバイスも実現される。メタルコンタクト284(例えばp側コンタクト)が、デバイス280の頂部の上に堆積される。n側コンタクト286のようなコンタクトが、低欠陥密度膜250の裏又は底側に効果的に形成される。明らかに、デバイスは、p側が上又はn側が上のいずれかで成長されることができる。この時点で、個々のデバイス280がウエハからへき開されて、高品質デバイスファセットを生成することができる。へき開されたファセットは、より単純でより安価に且つより迅速に処理される。これらは、ホトリソグラフィを必要としない。へき開されたファセットの最大平坦度は、光学的損失を最小化する。

【0042】以上に説明した方法を改変して、分離ステップ1100又は代替的な分離ステップ2100を促進することができる。図7(a)は、Ga_{0.9}N_{0.1}膜302を含むウエハ300を描いている。ウエハ300は、先に説明した方法のいずれかによって製造されるウエハを表しているが、図5(c)のウエハに最も密に類似している。Ga_{0.9}N_{0.1}膜302は、SiO₂リリース層310の上に存在している。SiO₂層310は、ベースサファイア基板316の上に成長された核形成層312の上に堆積されている。

【0043】図7(b)は、ピア320を含むウエハを描いている。これらのピアは、SiO₂層310に対するアクセス点として作用する。ピア320は、化学的アシスト・イオンビームエッチング(CAIBE)のような適当なエッチング技術によってエッチングされる。さらに、ピア320は、好ましくは、例えばウエハ300に沿って3mm毎に配置される。使用されるピアの数は、SiO₂層の厚さ、及びSiO₂層を分解するための所望の時間の関数である。

【0044】ピアが形成された後に、先に説明したように、デバイスをステップ1080にて形成しても良いことを理解されたい。デバイスの成長後に膜をベース基板から分離すること(ステップ2100)はより複雑であるので、この技術の詳細を以下に説明する。デバイスの成長(ステップ2080)の前に膜を分離する(ステップ1100)ときには、以下に説明される技術の一部のみを実施すればよいことを、理解されたい。

【0045】図8(a)は、その上にデバイス321が成長されたウエハを描いている。デバイス321が成長されるときに、ピア320の中にもいくらかの成長322が生じて、それによってピア320の幅が低減されることに留意されたい。したがって、オリジナルのピア320の幅は、この成長322を補償するように選ばなければならない。

【0046】ピア320を提供するリリース層310へのアクセスの効果をフルに利用するためには、リリース層のエッチングの時点でリリース層310の上にメタルが堆積されているべきではない。この目的を達成するために、数多くの方法がある。例えば、ホトレジストブラグを使用して、メタルの堆積の間にピア320及びリリース層310を保護することができる。他の技術の例として、メタルをリリース層の上に堆積し、それからメタルエッチングプロセスを使用してリリース層310の上に堆積されたメタルを除去することができる。リリース層310の上へのメタルの堆積を防ぐことができるさらに他の技術の例には、アングル蒸着の使用がある。アングル蒸着では、リリース層310は、メタル蒸着ツールに関してピア320の壁の影に入っているため、メタル蒸着から保護される。

【0047】図8(b)は、ピア320内に堆積される

ホトレジストブラグ330を有するウエハを描いている。ホトレジストブラグ330は、引き続いて（例えばステップ1080の間に）堆積されるメタルが SiO_2 層310の上に堆積されることを防ぐ。 SiO_2 層310の上に堆積されたメタルは、 SiO_2 のエッチング速度を減少させる。コンタクトメタル層340（例えばp側コンタクト層）が、デバイス321の上に堆積される。この時点で、ホトレジストブラグ330とそれをカバーするメタル層340の部分とがホトレジスト除去器（リムーバ；remover）によって除去される。

【0048】図9（a）は、ホトレジスト344の層を有するウエハを描いており、このホトレジスト344は、ビア320を通じた SiO_2 層310のエッチングの準備として、ビア320の上方を除いた全ての箇所に堆積されている。ホトレジストブラグ技術が使用されずに、メタルがリリース層310の上に堆積されると、メタルエッチングステップを使用して、この時点でリリース層からメタルを除去することができる。以上に説明したように、リリース層310は本質的にメタルフリーであるので、 SiO_2 層310は、ウエハをエッチャント（例えばHF）に浸すことによってエッチングされ得る。HFは、例えば窒化シリコン及び SiON を含む他の材料も、選択的にエッチングすることができる。もちろん、HFによる選択的エッチングが可能ではないリリース層材料が使用される場合には、他のエッチャントが使用されるべきである。メタルがリリース層材料として使用される場合には、例えば、そのメタルを選択的にエッチングするエッチャントが使用されるべきである。

【0049】図9（b）は、エッチングされ且つ核形成層及びベースサファイア基板（図9（a）における312及び316）から分離された後のウエハを描いている。上から見た図（トップ・ビュー）は、AAにて得られた断面図がウエハの一つの完全な部分であって二つの別個のウエハではないことを明確にするためのものである。メタルコンタクト層346（例えばn側コンタクト）が、 GaN 膜302の底部の上にオプションで堆積される。

【0050】図10（a）は、リリース層へのビアを提供する別の方法を描いている。ここで、ビア404を有するベース基板402を含むウエハ400が示されている。この例では、ビア404は、任意の他のウエハプロセスの前にベース基板402に設けられた。しかし、ビア404は、ウエハプロセス手順における他の時点で設けられることができる。核形成層408はビア404が設けられた後にベース基板402の上に成長されるので、ビア404は、核形成層408を通して続いている。加えて、ビア404は、リリース層410を通して続いている。ビア404の側壁の上における成長のうちのいくつかは、核形成層の成長の間に生じ得る。その成長は、図には示されていない。同様に、いくつかのリ

ース層材料が、ビア404の側壁の上に堆積され得る。ビア404の側壁上へのリリース層の堆積は、図には示されていない。リリース層410は、横方向成長を含む技術によって成長された膜414を支持する。図では、膜414は、完全にビア404を覆うように描かれているが、常にかうであるわけではない。膜がビアを完全に覆うかどうかは、例えばビアの直径、膜の横方向成長速度、縦方向成長速度、及び最終膜厚を含む数多くの要因に依存している。

10 【0051】ビア404は、好ましくは膜成長の前にレーザドリリングによって設けられるが、プロセス中に後で（例えば膜成長の後に）設けられることもできる。典型的には、約 $90\mu\text{m}$ のビア直径が許容可能である。もちろん、この技術が使用されるときには、ビア404は、ホトレジストによってブラグされる必要は無い。

【0052】上記で説明したように、図5（c）を参照した説明において、膜をベース基板から分離する前に膜の頂部に支持基板を設けることが、ときには効果的である。支持基板は、一般的には膜に結合されるが、支持基板を提供する任意の方法が使用され得る。たとえば、支持基板は、膜の上に成長されても良い。図10（b）

20 は、図10（a）のウエハ400の頂部に成長された支持基板430を示している。支持基板430は、構造的な支持を膜に提供するために付加されることができる。いくつかの膜は、膜がベース基板から分離された後に、そのような支持を必要とすることがある。支持基板を提供する他の理由は、ベース基板の特性に対して改良された特性を有する基板を提供することである。例えば、ベース基板が、膜成長プロセスに対するその整合性のために使用され得る一方で、よりよい熱伝導性及び／又は導電性を有する支持基板も使用され得る。支持基板は、そのへき開可能性のためにも選ばれ得る。そのような支持基板の一例はシリコンであって、これは、サファイアに比較して良好な熱伝導性及び導電性の両方を有している。さらに、シリコンのような支持基板は、へき開されることができる。他の可能性のある基板には、例えば SiC 及びダイヤモンドが含まれる。しかし、支持基板に対しては、他の材料も実現される。

【0053】連続した支持基板が、図10（b）に描かれている。同様の支持基板に、図7（b）の膜302におけるビア320のような、頂部側ビアを有する膜を設けてもよい。その場合、ビアが支持基板に設けられる。これらのビアは、膜のビア320の上方の箇所に位置している。

【0054】図10（b）に示されるような支持基板を設けた後、又は（図7（b）に描かれている膜のような）膜の上に同様の支持基板（図示せず）を設けた後に、リリース層（図10（b）の410又は図7（b）の310）をエッチングすることによって、膜を、ベース基板（図10（b）の402又は図7（b）の31

6) 及び存在する場合には核形成層(図10(b)の408又は図7(b)の312)から分離させることができる。その後、更なる成長(例えば膜成長及び/又はデバイス成長)を、膜(図10(b)の414又は図7(b)の302)の底から継続することができる。

【図面の簡単な説明】

【図1】 既知のエピタキシャル横方向過成長技術の結果として生成される境界欠陥を示す図である。

【図2】 第1の方法を用いて低欠陥GaN膜を形成したときの様子を示す工程断面図である。

【図3】 第2の方法を用いて低欠陥GaN膜を形成したときの様子を示す工程断面図である。

【図4】 第3の方法を用いて低欠陥GaN膜を形成したときの様子を示す工程断面図である。

【図5】 図4に示した工程の後に行なわれる工程での様子を示す工程断面図である。

【図6】 膜がベース基板から分離された後の図5(c)の膜とフリースタANDING膜の上に成長されるデバイスとを示す図である。

【図7】 デバイスを核形成層及びベースサファイア基*20

*板から分離する時点におけるSiO₂溶解プロセスを助ける追加プロセスの様子を示す工程断面図である。

【図8】 図7に示した工程の後に行なわれる工程での工程断面図である。

【図9】 デバイスを核形成層及びベースサファイア基板から分離する時点におけるSiO₂溶解プロセスを助ける追加プロセスの様子を示す工程断面図である。

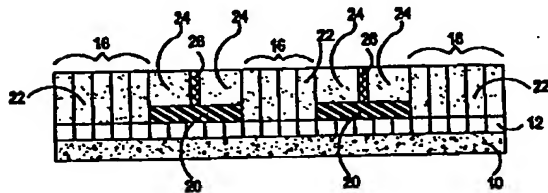
【図10】 図7、図8、図9(a)に示されるビアの、代わりの構成を示す図である。

10 【図11】 本発明にしたがった方法の概略を示すフローチャートである。

【符号の説明】

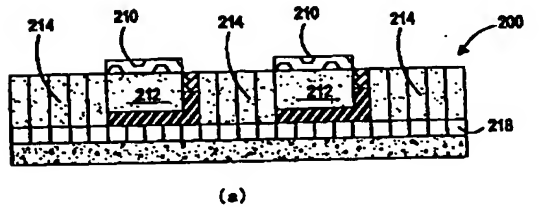
110 ウェハ、112 核形成層、114 ベースサファイア基板、116 SiO₂ リリース層、118 サファイア/核形成層の界面、122 窓、124 メサ、126 GaN膜(III族窒化物膜)、128 縦方向に成長したGaN膜、130 横方向に成長したGaN膜(低欠陥密度GaN膜)、132 横方向成長フロント、134 ビア。

【図1】

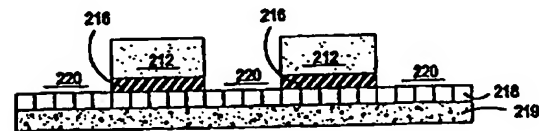


従来技術

【図4】

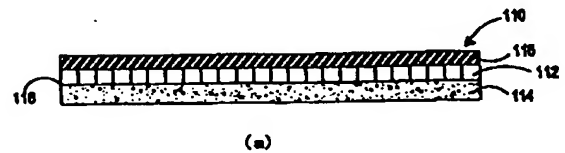


(a)

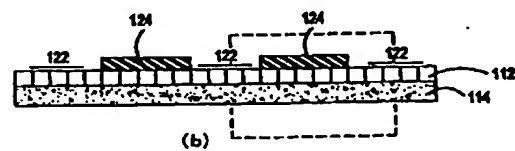


(b)

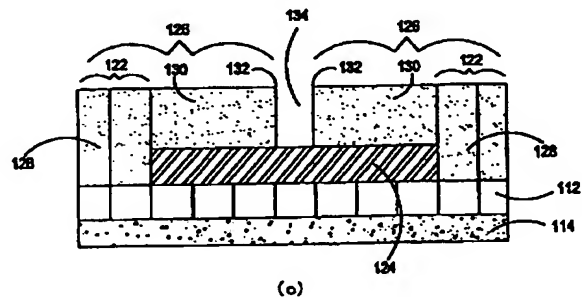
【図2】



(a)

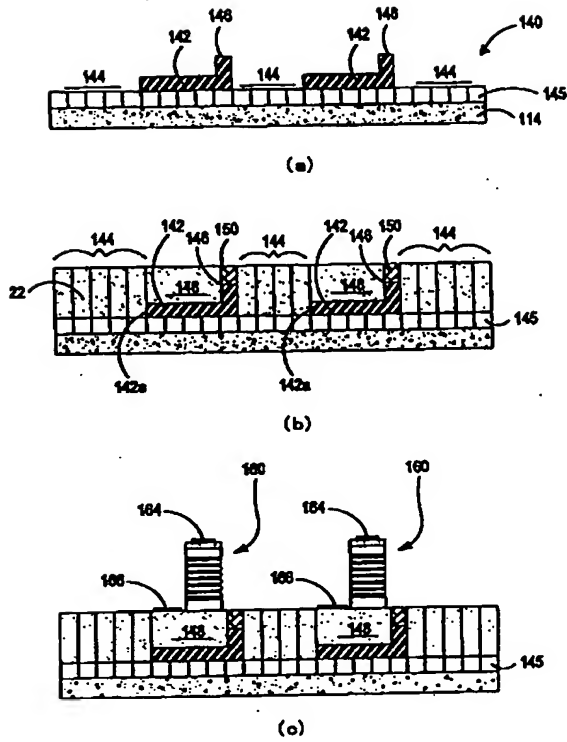


(b)

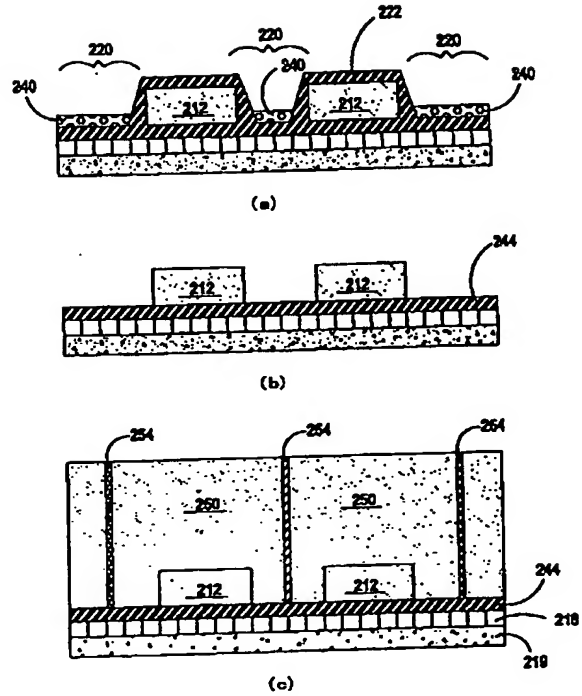


(c)

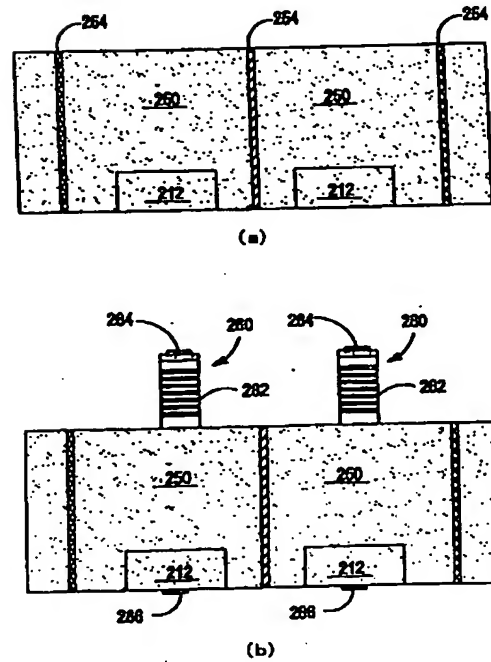
【図3】



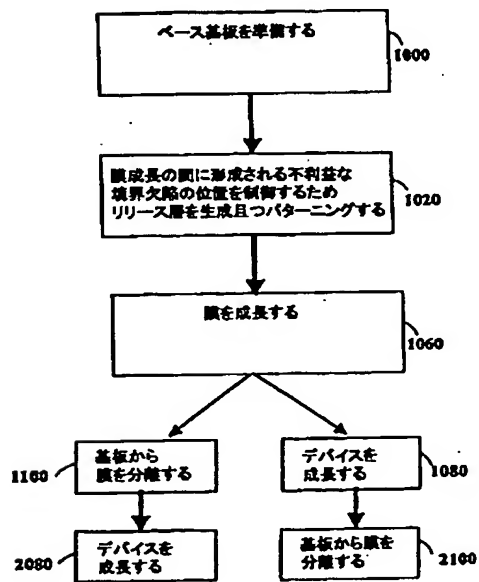
【図5】



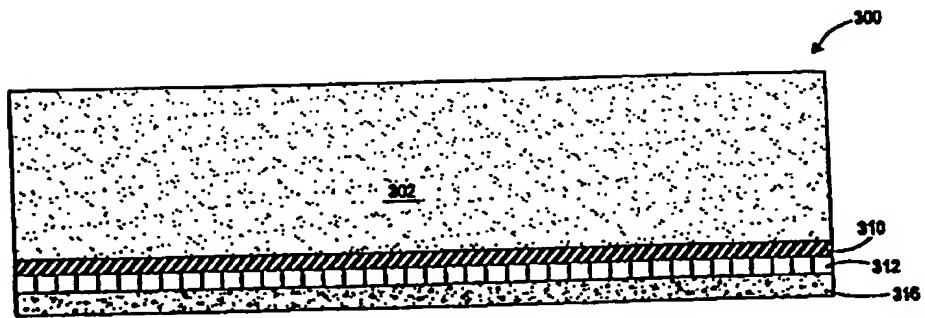
【図6】



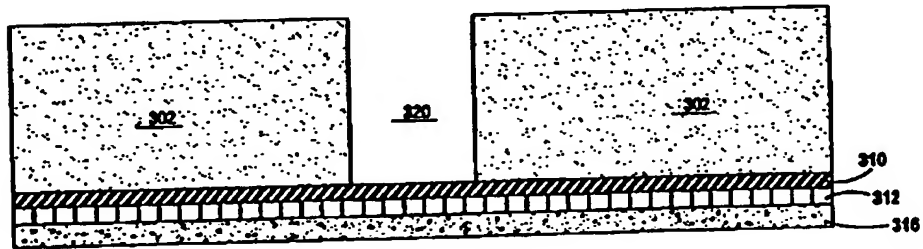
【図11】



【図 7】

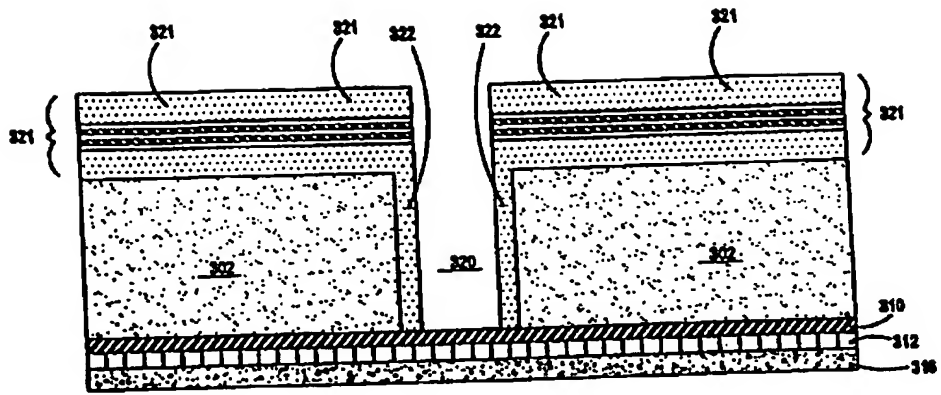


(a)

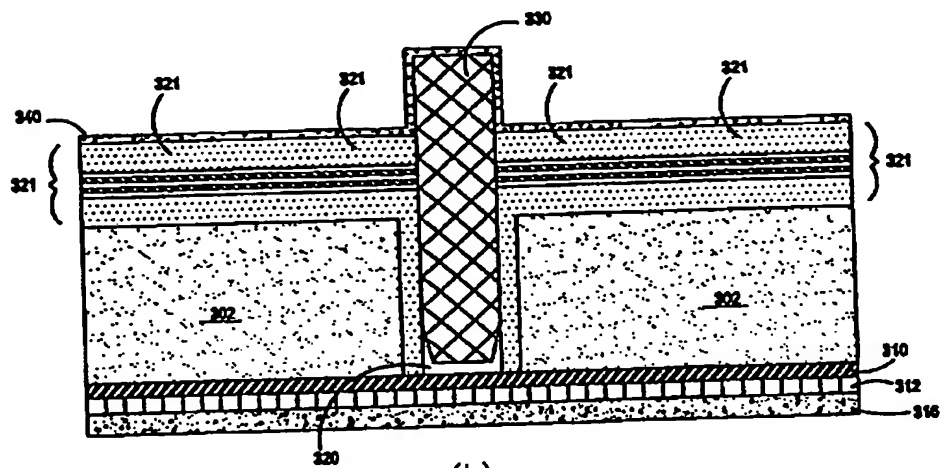


(b)

【図 8】

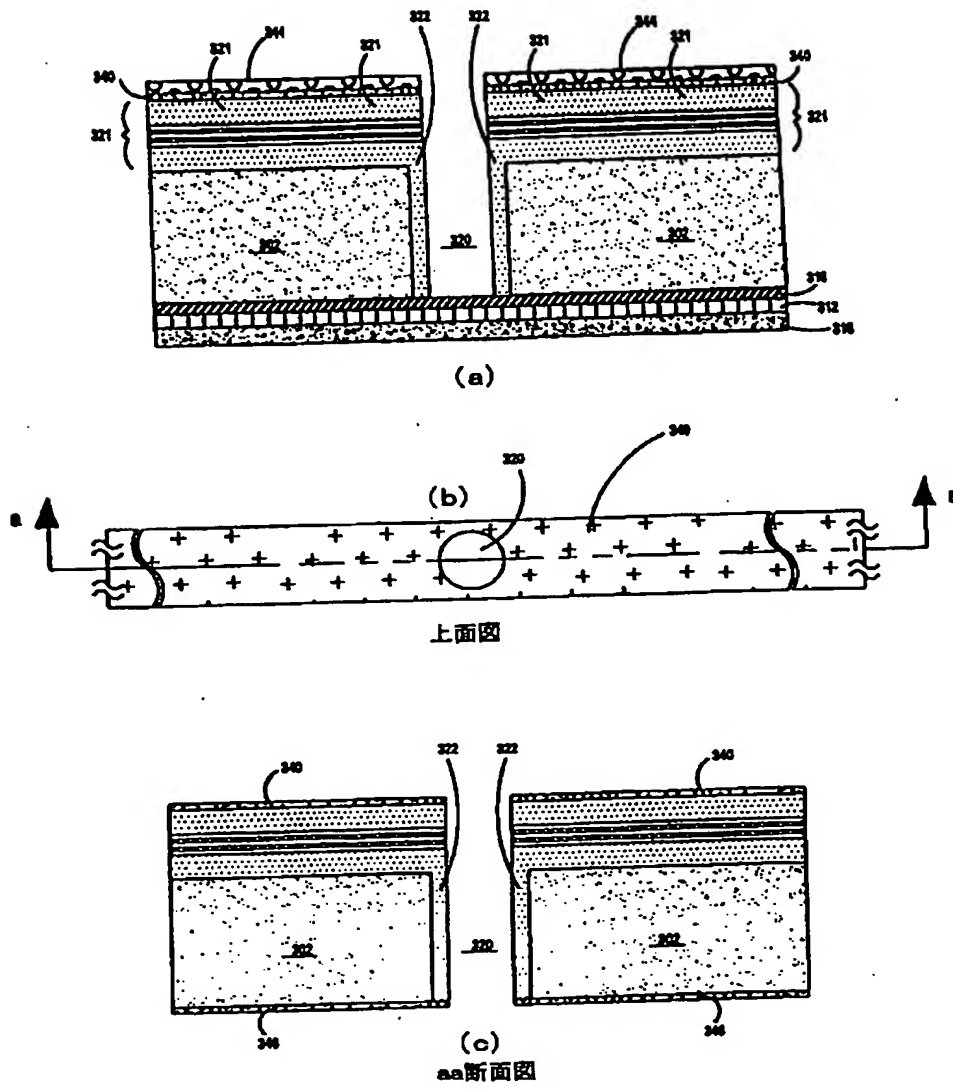


(a)

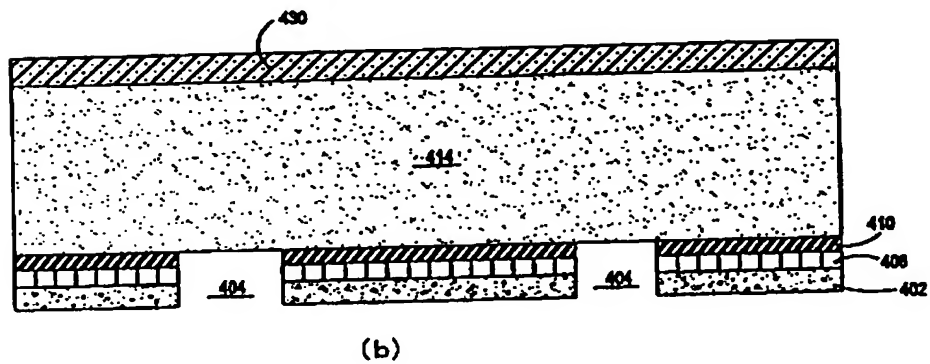
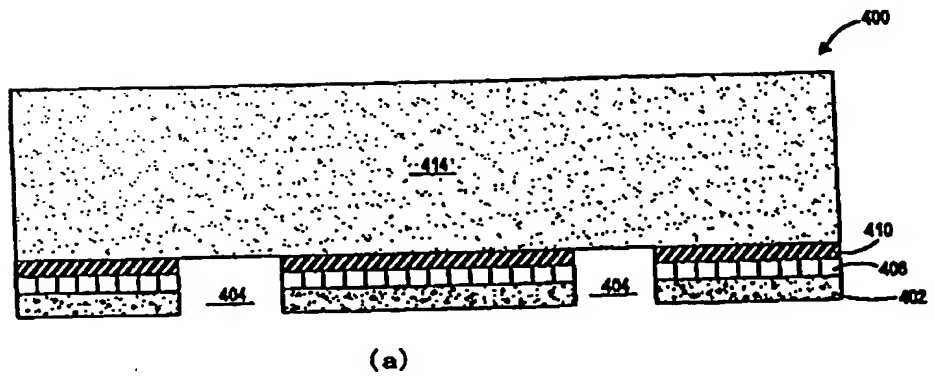


(b)

【図9】



【図10】



フロントページの続き

(72)発明者 ブレント エス クルーソー
アメリカ合衆国 カリフォルニア州 フリ
ーモント コーニッシュ ドライブ
35215

(72)発明者 クリストファー エル チュー
アメリカ合衆国 カリフォルニア州 サン
ノゼ キューリー ドライブ 636

(72)発明者 ノーブル エム ジョンソン
アメリカ合衆国 カリフォルニア州 メン
ロ パーク オーク グローブ アベニュー
445 ユニット #1

(72)発明者 ローズ エム ウッド
アメリカ合衆国 カリフォルニア州 サン
ノゼ パーチ リッジ サークル 316

(72)発明者 ジャック ウォーカー
アメリカ合衆国 テキサス州 ジョージタ
ウン ラ メーサ レーン 211